

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



COPY OF PAPERS
ORIGINALLY FILED

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE
PATENT APPLICATION

Applicant: Fujio et al.
Serial No.: 09/682,131
Filed: July 25, 2001
Title: SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE WITH EMI
PREVENTION STRUCTURE

Art Unit: 2815
Examiner: Chris C. Chu
Atty. Docket: JP9-2000-0229-US1

Honorable Commissioner of Patents and Trademarks
Washington, D.C. 20231

Sir:

Applicants are hereby submitting a certified copy of the foreign application, Japanese Patent Application 2000-239963, filed on 88/08/2000, as specified in 35 U.S.C. 119(b).

Respectfully submitted,

Date: 4/15/2002

By: Robert A. Walsh

Robert A. Walsh, Reg. No. 26,516
IP Law Department
IBM Corp.
1000 River Street
Essex Junction, VT 05452
Tel.: 802-769-

CERTIFICATE OF MAILING OR FAXING

I, hereby, certify that on the date shown below, this correspondence is being sent by:

MAIL

☒ deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, DC 20231.

April 16, 2002
Date

FACSIMILE

☐ transmitted by facsimile to the Patent and Trademark Office

C. Mueller

Name

Signature



COPY OF PAPERS
ORIGINALLY FILED

AUTHORIZATION TO FILE U.S. PATENT APPLICATION IBM DOCKET NO.

JP9-2000-0229

As a below named inventor, of an invention initially entitled
Semiconductor integrated circuit device
with EMI prevention structure

_____, and
identified by the above IBM Docket Number, pursuant to 37 CFR
1.41(C), I hereby authorize the attorney or agent designated by
IBM Corporation to file on my behalf in the United States
Patent and Trademark office, an application for patent on the
above identifies the invention.

Whereas the title used on the subsequently prepared patent
application may vary from the above initial title, the unique
docket number identifies the invention.

Shohhei Fujio

28/Jun/2000

FULL NAME OF SOLE OR FIRST INVENTOR INVENTOR'S SIGNATURE DATE

Hideki Kabayama

28/Jun/2000

FULL NAME OF SECOND JOINT INVENTOR INVENTOR'S SIGNATURE DATE

FULL NAME OF THIRD JOINT INVENTOR INVENTOR'S SIGNATURE DATE

FULL NAME OF FORTH JOINT INVENTOR INVENTOR'S SIGNATURE DATE

TECHNOLOGY CENTER 2800

JUN 25 2002

RECEIVED



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月 8日

出 願 番 号

Application Number:

特願2000-239963

出 願 人

Applicant (s):

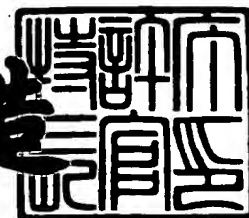
インターナショナル・ビジネス・マシーンズ・コーポレーション

RECEIVED
APR 25 2002
TECHNOLOGY CENTER 2800

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3010653

【書類名】	特許願
【整理番号】	JP9000229
【あて先】	特許庁長官殿
【国際特許分類】	H01L 23/58
【発明者】	
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内
【氏名】	藤尾 昇平
【発明者】	
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内
【氏名】	椋山 英樹
【特許出願人】	
【識別番号】	390009531
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション
【代理人】	
【識別番号】	100086243
【弁理士】	
【氏名又は名称】	坂口 博
【代理人】	
【識別番号】	100091568
【弁理士】	
【氏名又は名称】	市位 嘉宏
【代理人】	
【識別番号】	100106699
【弁理士】	
【氏名又は名称】	渡部 弘道

【復代理人】

【識別番号】 100060726

【弁理士】

【氏名又は名称】 石山 博

【選任した復代理人】

【識別番号】 100085408

【弁理士】

【氏名又は名称】 山崎 隆

【手数料の表示】

【予納台帳番号】 006091

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0004480

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置、電気回路装置、電子機器及び制御機器

【特許請求の範囲】

【請求項 1】 グランドリード及び少なくとも 1 個の電源リードへ接続されるダイ、

面的な広がりをもちかつグランドリードへ接続される 1 個又は複数個のグランド面、

両端において対応のグランドリードと対応の電源リードとへ接続される少なくとも 1 個のデカップリングコンデンサ、並びに

前記ダイ、前記グランド面、及び前記デカップリングコンデンサを封入する封入体、

を有していることを特徴とする半導体集積回路装置。

【請求項 2】 前記半導体集積回路装置において電子部品実装用プリント基板側へ向く面、及び前記電子部品実装用プリント基板とは反対側へ向く面をそれぞれ底面及び頂面と定義し、前記グランド面は前記底面に沿って広がっていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記グランド面は、前記底面のほぼ全体にわたり平面で広がっていることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 4】 リードとダイのボンディングパッドとの接続経路用の配線を備えるパッケージ内配線基板が、前記ダイと前記グランド面との間に配置され、前記デカップリングコンデンサは両端において前記グランド面と前記パッケージ内配線基板の電源ラインとへ接続されていることを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 5】 前記封入体内への電源リードの挿入部分はそのダイ側の端部においてボンディングワイヤを介して前記ダイの電源用ボンディングパッドへ接続され、前記デカップリングコンデンサは両端において前記グランド面と前記電源リードの挿入部分の所定部位とへ接続されていることを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 6】 前記デカップリングコンデンサが接続される前記電源リード

の挿入部分の所定部位とは、前記電源リードの挿入部分のダイ側の端部であることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 7】 前記グランド面は、前記封入体内へのグランドリードの挿入部分のダイ側の端部へ接続されていることを特徴とする請求項 5 又は 6 記載の半導体集積回路装置。

【請求項 8】 前記封入体より誘電率の小さい材料の層が、前記ダイ又は前記パッケージ内配線基板と前記グランド面との間に、配設されていることを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体集積回路装置。

【請求項 9】 請求項 1 ～ 8 のいずれかの半導体集積回路装置、
前記半導体集積回路装置を実装される電子部品実装用プリント基板、
前記半導体集積回路装置の前記デカップリングコンデンサと並列接続の関係となるように前記電子部品実装用プリント基板に配設された外部デカップリングコンデンサ、
を有していることを特徴とする電気回路装置。

【請求項 10】 請求項 1 ～ 8 に記載の半導体集積回路装置を含む電子機器又は制御機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、EMI (Electro Magnetic Interference : 電磁障害) 対策が施された半導体集積回路装置、電気回路装置、電子機器、及び制御機器に係り、詳しくはダイの電源回路に生じるスイッチングノイズに起因するEMIを抑制する半導体集積回路装置、電気回路装置、電子機器、及び制御機器に関するものである。

【0002】

【従来の技術】

半導体集積回路装置では、内部動作周波数及び消費電力の上昇に伴い、半導体集積回路装置の内部電源回路のスイッチングノイズに起因するEMIが深刻化している。すなわち、半導体集積回路装置の内部電源回路のスイッチングノイズ電

流に起因して、ICパッケージ内のループ電流、及びICパッケージ内とICパッケージ外のPCB（プリントサーキットボード）とを循環するループ電流が生成され、これらループ電流によりICパッケージ及びPCBから周囲へ電磁波が放射され、周囲にEMIを引き起こしている。

【0003】

【発明が解決しようとする課題】

半導体集積回路装置のEMIについての従来の対策としては、PCBの電源配線とグランド配線間にデカップリングコンデンサを介在させることである。この従来対策では、PCBからの電磁放射は抑制できるものの、半導体集積回路装置自体からの電磁放射は抑制することが困難である。また、多数の半導体集積回路装置を実装したPCB全体のEMIを防止するためには、デカップリングコンデンサを、各半導体集積回路装置の各電源リードに対応させて、PCBに配備する必要がある、PCB全体のデカップリングコンデンサの個数が多大となり、PCBの大型化、部品点数の増大、及びPCBにおけるデカップリングコンデンサの取付け場所の確保難と言う問題が生じる。また、PCBにおいて、半導体集積回路装置の取付けにより覆われる表面部分に島状のグランド面を形成して、半導体集積回路装置から放射される電磁波をこの島状のグランド面により遮蔽する場合があるが、この場合には、該グランド面に、種々の配線を形成することが困難となる。

【0004】

特開平4-277665号公報は半導体集積回路装置のテストに使用されるソケットを開示する。このソケットは、テストボードに固設されて半導体集積回路装置のリードを押圧、接触される接触子、テストボード表面のグランドパターンに接触して載置される導電体、及び接触子と導電体との間に介在するデカップリングコンデンサを有している。しかしながら、該構造は、半導体集積回路装置のソケットに適用されるものであり、半導体集積回路装置から外部へ出力されるスイッチングノイズ電流を抑制する作用はない。また、このソケットでは、導電体はテストボード表面のグランドパターンと面接触しており、デカップリングコンデンサとテストボードとの間のインピーダンスは、デカップリングコンデンサと

半導体集積回路装置との間のインピーダンスより相当、小さく、半導体集積回路装置から漏れて来るスイッチングノイズ電流がテストボードの方へ流れるを十分に抑制できない。

【 0 0 0 5 】

特開平 8 - 1 7 9 6 0 号公報の半導体集積回路装置では、半導体集積回路装置の底面は、接地板から形成し、又は中央の設置板と周辺の電源用枠板とから形成し、グランドリード及び電源リードは接地板及び電源用枠板に代替させ、これにより、半導体集積回路装置の側面のリードの本数の低減を果たしている。さらに、特開平 8 - 1 7 9 6 0 号公報の図 4 の (b) では、接地板に対して対峙する電源プレーンを半導体集積回路装置のパッケージ内に設け、この電源プレーンと接地板とでデカップリングコンデンサを構成するようにしている。しかしながら、この半導体集積回路装置では、接地板及び電源用枠板は P C B のグランド配線及び電源配線へ直接、面接触しており、結果、接地板及び電源用枠板と P C B との間のインピーダンスは、接地板及び電源用枠板とダイとの間のインピーダンスに相当、小さくなり、P C B へのノイズ電流の漏れを十分に抑制できない。また、この半導体集積回路装置では、接地板は、パッケージ内部でダイからデカップリングコンデンサを経由してダイへ帰還するスイッチングノイズ電流経路の部分と、伝送信号の帰還電流経路の部分とを兼ねることになるので、接地板のもつインダクタンスによって発生するグランドバウンズノイズが依然と発生する。さらに、この半導体集積回路装置では、接地板の中央を隆起させて、隆起面にダイを載置するので、I C パッケージの内部回路の対グランド容量が増大し、ダイ内の伝送信号の品質が低下する問題もある。

【 0 0 0 6 】

本発明の目的は、パッケージと電子部品実装用プリント基板との間を循環するループ電流が、半導体集積回路装置の内部電源回路のスイッチングノイズ電流に起因して生成され、これにより引き起こされる E M I を有効に抑制できる半導体集積回路装置を提供することである。

本発明の目的は、パッケージ内ループ電流が、半導体集積回路装置の内部電源回路のスイッチングノイズ電流に起因して生成され、これにより引き起こされる

EMI を有効に抑制できる半導体集積回路装置を提供することである。

本発明の他の目的は、半導体集積回路装置から電子部品実装用プリント基板への電磁放射を遮蔽するために、電子部品実装用プリント基板上に島状のグランド面を形成することを省略できる半導体集積回路装置を提供することである。

本発明の目的は、半導体集積回路装置及びそれを実装する電子部品実装用プリント基板に因る EMI を有効に抑制できる電気回路装置を提供することである。

本発明の目的は、半導体集積回路装置を装備しつつ EMI を有効に抑制できる電子機器及び制御機器を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

第 1 の発明の半導体集積回路装置は次のものを有している。

- ・ グランドリード及び少なくとも 1 個の電源リードへ接続されるダイ
- ・ 面的な広がりをもちかつグランドリードへ接続される 1 個又は複数個のグランド面
- ・ 両端において対応のグランドリードと対応の電源リードとへ接続される少なくとも 1 個のデカップリングコンデンサ、並びに
ダイ、グランド面、及びデカップリングコンデンサを封入する封入体

【 0 0 0 8 】

電子部品実装用プリント基板側及び電子部品実装用プリント基板とは反対側へ向く半導体集積回路装置の面をそれぞれ底面及び頂面と定義すると、グランド面は、典型的には、封入体の頂面及び底面に対して平行とされるが、これに限定されない。グランド面は、半導体集積回路装置からの電磁放射を抑制したい方向に対して直角な方向とするのが好ましい。グランド面は、平面に限定されず、ダイの方へ向かって凸面又は凹面等の曲面であってもよい。半導体集積回路装置のもつグランド面の個数は、典型的には、1 個であるが、半導体集積回路装置が複数個の電源リードをもつ場合には、半導体集積回路装置における電源リードの分布に応じて、複数個のグランド面が適切に分散して設けられてもよいとする。半導体集積回路装置が複数個のグランド面を備える場合、それらグランド面は、相互に直接、接触していてもよいし、相互に分離しつつ、相互に接続又はグランドリ

ードへ接続されていてもよい。

【 0 0 0 9 】

半導体集積回路装置が複数個の電源リードをもつ場合、デカップリングコンデンサは全部の電源リードに対応して設ける必要はない。全部の電源リードの内の特定の電源リードに対してのみデカップリングコンデンサを対応付けて、設けることができる。全部の電源リードに対するデカップリングコンデンサを省略する場合には、全部の電源リードの内、特にスイッチングノイズ電圧又は電流の大きい電源リードのみに対応付けて、デカップリングコンデンサを設けることができる。例えば、半導体集積回路装置がCPUの場合には、高速動作回路（例：CPUコア、PLL回路、及び出力バッファ）の電源リードに対して重点的にデカップリングコンデンサを対応付けて、設けるのが好ましい。

【 0 0 1 0 】

デカップリングコンデンサの容量は、ダイの電源回路に生成されるスイッチングノイズ電流又は電圧の周波数に対応するものに設定され、例えば、数十pF～数 μ Fの範囲である。グラウンド面と電源リードとの間へのデカップリングコンデンサの介在により最も効果的にEMIを抑制できる電磁波周波数は、デカップリングコンデンサの容量と共に、電源リードのインダクタンスにも関係する。したがって、デカップリングコンデンサの容量及び電源リードのインダクタンスを、ダイの電源回路のスイッチングノイズ電流又は電圧の周波数に合わせることであり、EMI抑制効果を高めることができる。

【 0 0 1 1 】

グラウンドリード及び電源リードは、半導体集積回路装置内部の電源回路に生じるスイッチングノイズ電圧に対して所定のインダクタンスとして作用する。したがって、半導体集積回路装置内部の電源回路に生じるスイッチングノイズ電流は、デカップリングコンデンサを優先的に流れることになり、グラウンドリード及び電源リードを介して電子部品実装用プリント基板へ漏れるのが抑制され、実装用配線基板からのEMIが抑制される。また、面的な広がりをもつグラウンド面はダイ側から放射される電磁波を遮蔽し、これにより、半導体集積回路装置から外部へ放射される電磁波を弱めることができる。

【 0 0 1 2 】

第 2 の発明の半導体集積回路装置によれば、第 1 の発明の半導体集積回路装置において、半導体集積回路装置において電子部品実装用プリント基板側へ向く面、及び電子部品実装用プリント基板とは反対側へ向く面をそれぞれ底面及び頂面と定義し、グランド面は底面に沿って広がっている。

【 0 0 1 3 】

半導体集積回路装置の頂面及び底面は、パッケージが Q F P (Q u a d F l a t P a c k a g e) や D I P (D u a l I n l i n e P a c k a g e) である場合には、モールドの頂面及び底面に一致する。パッケージが B G A (B a l l G r i d A r r a y) である場合には、モールドの底面側にさらにキャリア P C B が配置されているので、半導体集積回路装置の頂面はモールドの頂面に一致するが、半導体集積回路装置の底面はキャリア P C B の底面に一致することになる。

【 0 0 1 4 】

グランド面が半導体集積回路装置の底面に沿って広がっていることにより、スイッチングノイズ電流に起因して半導体集積回路装置から電子部品実装用プリント基板の方へ放射されようとする電磁波は、グランド面により遮蔽され、半導体集積回路装置から電子部品実装用プリント基板への E M I は抑制される。したがって、半導体集積回路装置直下の電子部品実装用プリント基板の部分にも信号配線を形成しても、該信号配線の信号への悪影響を防止できる。

【 0 0 1 5 】

第 3 の発明の半導体集積回路装置によれば、第 2 の発明の半導体集積回路装置において、グランド面は、底面のほぼ全体にわたり平面で広がっている。

【 0 0 1 6 】

パッケージタイプが例えば Q F P (Q u a d F l a t P a c k a g e) や D I P (D u a l I n l i n e P a c k a g e) である半導体集積回路装置である場合には、グランド面は孔無しの平面が可能であるが、パッケージタイプが例えば B G A (B a l l G r i d A r r a y) である半導体集積回路装置である場合には、リードをグランド面に貫通させる必要が生じるので、グランド

面は、リード貫通用の孔が形成される。グランド面が半導体集積回路装置の底面のほぼ全体にわたり平面で広がっていることにより、底面側への電磁放射が有効に抑制される。

【 0 0 1 7 】

第 4 の発明の半導体集積回路装置によれば、第 3 の半導体集積回路装置において、リードとダイのボンディングパッドとの接続経路用の配線を備えるパッケージ内配線基板が、ダイとグランド面との間に配置され、デカップリングコンデンサは両端においてグランド面とパッケージ内配線基板の電源ラインとへ接続されている。

【 0 0 1 8 】

デカップリングコンデンサはパッケージ内配線基板上に取付けることができ、これにより、封入体内におけるデカップリングコンデンサの支持構造が簡単化される。デカップリングコンデンサは、好ましくは、パッケージ内配線基板の電源ラインに接続し易いパッケージ内配線基板の部位に配置される。

【 0 0 1 9 】

第 5 の発明の半導体集積回路装置によれば、第 3 の発明の半導体集積回路装置において、封入体内への電源リードの挿入部分はそのダイ側の端部においてボンディングワイヤを介してダイの電源用ボンディングパッドへ接続され、デカップリングコンデンサは両端においてグランド面と電源リードの挿入部分の所定部位とへ接続されている。

【 0 0 2 0 】

デカップリングコンデンサを通過するスイッチングノイズ電流の周波数は、デカップリングコンデンサの容量だけでなく、電源リードのインダクタンスによっても調整できる。したがって、デカップリングコンデンサの電源リード側の端を接続する電源リードの挿入部分の部位 P 1 を変更することにより、該接続部位 P 1 から電源リードの電子部品実装用プリント基板側の端 P 2 までのインダクタンスが変化し、最も効果的に E M I を抑制できる電磁波周波数を所定範囲で調整できる。

【 0 0 2 1 】

第6の発明の半導体集積回路装置によれば、第5の発明の半導体集積回路装置において、デカップリングコンデンサが接続される電源リードの挿入部分の所定部位とは、電源リードの挿入部分のダイ側の端部である。

【0022】

デカップリングコンデンサの電源リード側の端を接続する電源リードの挿入部分の部位P1から電源リードの電子部品実装用プリント基板側の端P2までのインダクタンスは、P1からP2までの長さが長いほど、増大する。一方、P1からP2までのインダクタンスが大きいときほど、ダイの電源回路のスイッチングノイズに起因する電流が電源リードを介して電子部品実装用プリント基板へ漏れ難くなる。したがって、P1を電源リードの挿入部分のダイ側の端部に設定することにより、P1からP2までのインダクタンスを増大させて、ダイの電源回路のスイッチングノイズ電流が電源リードを介して電子部品実装用プリント基板へ漏れるのを効果的に抑制できる。

【0023】

第7の発明の半導体集積回路装置によれば、第5又は第6の発明の半導体集積回路装置において、グランド面は、封入体内へのグランドリードの挿入部分のダイ側の端部へ接続されている。

【0024】

デカップリングコンデンサのグランドリード側の端を接続するグランドリードの挿入部分の部位P3からグランドリードの電子部品実装用プリント基板側の端P4までのインダクタンスは、P3からP4までの長さが長いほど、増大する。一方、P3からP4までのインダクタンスが大きいときほど、ダイの電源回路のスイッチングノイズ電流が電源リードを介して電子部品実装用プリント基板へ漏れ難くなる。したがって、P3をグランドリードの挿入部分のダイ側の端部に設定することにより、P3からP4までのインダクタンスを増大させて、ダイの電源回路のスイッチングノイズに起因する電流が電源リードを介して電子部品実装用プリント基板へ漏れ難くさせることができる。

【0025】

第8の発明の半導体集積回路装置によれば、第1～第7の発明の半導体集積回

路装置において、封入体より誘電率の小さい材料の層が、ダイ又はパッケージ内配線基板とグランド面との間に、配設されている。

【0026】

封入体より誘電率の小さい材料とは例えば空気である。グランド面がダイ又はパッケージ内配線基板に近接して配置されると、ダイ又はパッケージ内配線基板の信号ラインとグランド面との間の容量が増大し、信号品質を悪化させる。例えば空気層のような小さい誘電率の層をダイ又はパッケージ内配線基板とグランド面との間に配置することにより、ダイ又はパッケージ内配線基板の信号ラインとグランド面との間の容量を低減できる。

【0027】

なお、ダイ又はパッケージ内配線基板の信号ラインとグランド面との間の容量を調整する方法としては、小さい誘電率の層を配置する以外に、グランド面の形状を所定の曲面に設定したり、グランド面に部分的に1又は複数個の非導電部分を適宜、設けたりすることが挙げられる。

【0028】

第9の発明の電気回路装置は次のものを有している。

- ・第1～第8の発明のいずれかの半導体集積回路装置
- ・半導体集積回路装置を実装される電子部品実装用プリント基板
- ・半導体集積回路装置のデカップリングコンデンサと並列接続の関係となるように電子部品実装用プリント基板に配設された外部デカップリングコンデンサ

【0029】

外部デカップリングコンデンサの容量は、典型的には、半導体集積回路装置内のデカップリングコンデンサの容量とほぼ等しくされる。しかし、外部デカップリングコンデンサの容量と半導体集積回路装置内のデカップリングコンデンサの容量とを適当にずらして、電気回路装置全体として抑止できるEMIの周波数範囲を広げることも可能である。

【0030】

第10の発明の電子機器又は制御機器は第1～第8の発明の半導体集積回路装置を含む。

【 0 0 3 1 】

電子機器とは例えばコンピュータ、オーディオ機器、通信機器であり、制御機器とは例えば自動車や産業機械に装備される制御機器である。本発明の半導体集積回路装置は、コンピュータ、オーディオ機器、通信機器といった電子機器だけでなく、自動車や産業機械の制御機器などのEMI対策が必要なあらゆる機器に組み込んで使用することができる。

【 0 0 3 2 】

【発明の実施の形態】

以下、発明の実施の形態について図面を参照して説明する。

図1はグランド面22を装備するQFP (Quad Flat Package) 型IC10の概略断面図である。電源リード12及びグランドリード13を含む複数個のリードは、モールド11の頂面及び底面を除く他の計4個の側面の下端部から突出している。QFP型IC10全体の電源リード12の個数は、1に限定されず、通常は複数である。パッケージ内配線基板16は、絶縁層17と配線層18とを交互に配置したものであり、上面中央にはダイ20が載置される。各配線層18には、電源リード12及びグランドリード13を含むリードの各々とダイ20の対応のボンディングパッドとを接続するための配線が形成されている。グランド面22は、例えば銅等の金属層から成り、モールド11の底面より少し上の高さにおいて該底面に沿って該底面全体にわたって広がり、接続線24を介してモールド11へのグランドリード13の挿入部の先端へ接続されている。空気層23は、パッケージ内配線基板16とグランド面22との間においてほぼグランド面22の広さ全体にわたる広さで形成され、配線層18の配線とグランド面22との間の容量を所定値以下に制限している。デカップリングコンデンサ27は、パッケージ内配線基板16の最上層の配線層18の上面に固設され、その電源側接続端子線28は、パッケージ内配線基板16の所定の配線層18の電源用配線へ接続され、そのグランド側接続端子線29は、パッケージ内配線基板16を貫通して、グランド面22へ接続されている。

【 0 0 3 3 】

図2はグランド面40を装備するDIP (Dual Inline Pack

a g e) 型 I C 3 4 の概略断面図である。D I P 型 I C 3 4 の長手方向へ延びる 2 個の各側面の下端部からは、電源リード 3 6 及びグランドリード 3 7 を含む複数個のリードが突出している。D I P 型 I C 3 4 全体の電源リード 3 6 の個数は、1 に限定されず、通常は複数である。ダイ 3 8 は、モールド 3 5 内においてモールド 3 5 の幅方向及び長手方向の両方向の中央部に水平に配置されている。電源リード 3 6 及びグランドリード 3 7 を含む全リードは、モールド 3 5 内への挿入部分においてダイ 3 8 の十分に近くまで到達しており、そのダイ 3 8 側の端部においてボンディングワイヤ 3 9 を介してダイ 3 8 の対応のボンディングパッドへ接続されている。グランド面 4 0 は、例えば銅等の金属層から成り、モールド 3 5 の底面に沿って該底面に対して平行にかつほぼ該底面全体にわたって広がっている。接続線 4 1 は、上下方向へ延び、上下の端においてそれぞれグランドリード 3 7 のモールド挿入部分及びグランド面 4 0 へ接続されている。全部のリードのモールド内挿入部分はモールド 3 5 内での高さを揃えられており、デカップリングコンデンサ 4 2 は、電源リード 3 6 のモールド内挿入部分とグランド面 4 0 との間の高さでモールド 3 5 内に配設されて、電源側端子 4 3 を介して電源リード 3 6 のモールド挿入部分のダイ 3 8 側の端部へ接続され、グランド側端子 4 4 を介してグランド面 4 0 へ接続されている。電源リード 3 6 は、D I P 型 I C 3 4 の電源回路のスイッチングノイズ電流に対してインダクタンスとして作用し、電源リード 3 6 への電源側端子 4 3 の接続点 P 1 がダイ 3 8 側にあるほど、該接続点 P 1 から電源リード 3 6 の外部突出端 P 2 までのインダクタンスが増大する。したがって、接続点 P 1 の位置を変更することにより、接続点 P 1 から外部突出端 P 2 までのインダクタンスを調整できるとともに、接続点 P 1 を最もダイ 3 8 側へもってきたときに、接続点 P 1 から外部突出端 P 2 までのインダクタンスは最大になる。同様に、グランドリード 3 7 への接続線 4 1 の接続点 P 3 からグランドリード 3 7 の外部突出端 P 4 までのインダクタンスは、接続点 P 3 を最もダイ 3 8 側へもってきたときに、最大になる。

【0034】

図 3 はボンド層 5 7 を装備する B G A (B a l l G r i d A r r a y) 型 I C 5 0 の概略側面図である。複数個の信号リード 5 3、少なくとも 1 個の電源

リード54、及び1個のグランドリード55は、キャリアPCB51を上下方向へ貫通し、下端部は、キャリアPCB51の底面から露出して、膨出状に形成されており、また、上端部は、ワイヤ接続部56となって、キャリアPCB51の上面から露出し、キャリアPCB51の周縁まで延びている。ボンド層57は、各ワイヤ接続部56の突出端を除く部分を覆うように、キャリアPCB51の上面を被覆している。ダイ60は、ボンド層57との間にマウント材層61を介在させて、ボンド層57の上面側に載置される。ボンディングワイヤ62は、各ワイヤ接続部56とダイ60の対応のボンディングパッドとを接続している。グランド面65は、例えば銅等の金属層から成り、キャリアPCB51の底面から少しだけ上の高さにおいてキャリアPCB51の底面全体にわたってかつキャリアPCB51の外面へ露出することなく、さらに、信号リード53、電源リード54、及びグランドリード55との接触を回避しつつ、平面で広がっている。接続ピン66は、下端においてグランド面65に接触し、上端部は、ボンド層57による被覆を免れており、キャリアPCB51上面でグランド回路69を経由してグランドリード55に接続されている。デカップリングコンデンサ67は、キャリアPCB51の上側に配設され、両端において電源リード54と接続ピン66とへ接続されている。モールド68は、キャリアPCB51の上側に配設されているBGA型IC50の各素子を内側に封入するように、キャリアPCB51の上側に設けられる。

【0035】

図4はIC70に起因する電磁障害の説明図である。パッケージ71は、電源リード72及びグランドリード73を含む複数個のリードを側面から突出させており、リードをPCB75の対応の配線へ接続させている。PCB75に装備される所定の信号配線76は、PCB75内に埋設されて形成されている埋設部分77、及びパッケージ71の下側においてPCB75の上面に露出して形成されている露出部分78を有している。パッケージ71内のダイの電源回路のスイッチングノイズ電流のために、ICパッケージループ電流80がパッケージ71内に生じるとともに、ICパッケージ漏れ電流81が電源リード72を介してパッケージ71からPCB75へ漏出し、グランドリード73を介してパッケージ7

1内へ帰還する。ICパッケージループ電流80は、パッケージ71の底面からへ放射する電磁波82の原因になり、特に信号配線76の露出部分78は電磁波82からノイズを強く受けることになる。したがって、IC70では、EMI抑制のために、ICパッケージ漏れ電流81及び電磁波82の対策が必要となる。QFP型IC10のデカップリングコンデンサ27及びグランド面22、DIP型IC34のデカップリングコンデンサ42及びグランド面40、並びにBGA型IC50のデカップリングコンデンサ67及びグランド面65は、外部へのスイッチングノイズ電流の漏れを抑制し、QFP型IC10のグランド面22、DIP型IC34のグランド面40、及びBGA型IC50のグランド面65は、ICパッケージ内のループ電流によるICパッケージ外への電磁放射を抑制する。こうして、QFP型IC10、DIP型IC34、及びBGA型IC50からの電磁放射、並びにそれらICの実装されるPCBからの電磁放射が抑制される。

【0036】

図5は電磁障害の効果を調べるシミュレーションで選択するICモデルの装備素子の回路図である。ICモデル85では、パッケージ86内に、RFノイズ源87、グランド面88、及びデカップリングコンデンサ89が封入されている。RFノイズ源87の両端は電源リード90及びグランドリード91をを介してPCB95の電源面92及びグランド面93へ接続されている。グランド面88は、RFノイズ源87の下側に配置され、一端側では、デカップリングコンデンサ89を介して電源リード90へ接続され、他端側では、グランドリード91へ接続されている。電源面92及びグランド面93は、ICを実装するPCB95に設けられており、電源面92はグランド面93より上に配置されている。デカップリングコンデンサ94は、PCB95に配備され、両端において電源面92及びグランド面93へ接続されている。

【0037】

図5のグランド面88は、前述したQFP型IC10のグランド面22、DIP型IC34のグランド面40、及びBGA型IC50のグランド面65に相当し、図5のデカップリングコンデンサ94は前述したQFP型IC10のデカッ

プリングコンデンサ 27、DIP 型 IC 34 のデカップリングコンデンサ 42、及び BGA 型 IC 50 のデカップリングコンデンサ 67 に相当する。

【0038】

図 6 は各シミュレーションモデルと装備素子との関係を示す図である。Cd, SG, Csd はそれぞれ図 5 のデカップリングコンデンサ 94、グランド面 88、及びデカップリングコンデンサ 89 を意味し、これら素子が各モデルに装備されているかいないかをそれぞれ○及び×で示している。モデル A は、3 個の素子の内、Cd のみを装備し、モデル B は 3 個の素子の内、SG 及び Csd のみを装備し、モデル C は 3 個の素子の全部を装備している。

【0039】

図 7 はシミュレーションモデルの各ディメンジョンを示す図である。図 7 の各素子の符号は図 5 の対応素子の符号に一致させており、図 6 のモデル A, B, C は DIP 型 IC とした。デカップリングコンデンサ 94 は、IC モデル 85 から離れた個所に配置されている。

【0040】

図 8 は PCB 95 のディメンジョンを PCB 95 における IC モデル 85 の位置と一緒に示す図である。

【0041】

図 7 及び図 8 に示されていない他の諸元は次のとおりとする。

Cd : 0.01 μ F

Csd : 0.01 μ F

電源リード 90 及びグランドリード 91 の幅 : 1 mm、RF ノイズ源 87 : 振幅 1 V の正弦波電圧源

観測点及び測定データ : モデルから半径 3 m の球面上における電界値ベクトルの最大値 (自由空間)

電源面 92 - グランド面 93 間の比誘電率 : $\epsilon_r = 1.0$ (空気)

シミュレーションモデルの注意点 : 電源面 92 及びグランド面 93 の層のみ存在したモデルとし、配線リード 90, 91、グランド面 88、電源面 92、及びグランド面 93 の損失は無しとする。

【0042】

図9はシミュレーション結果に基づいて算出したモデルBとAとの差異を示すグラフである。横軸はRFノイズ源87の周波数を示し、縦軸は、前述の観測点における電界値ベクトルの最大値をモデルB及びAについて求め、その差（＝モデルBの電界値ベクトルの最大値－モデルAの電界値ベクトルの最大値）を示している。モデルBでは、150MHz、350MHz、700MHz等の周波数において、EMIが抑止されていることが分かる。図9及び次の図10において、EMIが抑止される周波数はデカップリングコンデンサ89（Cs d）の値を変更することにより調整できる。EMIが抑止される周波数は、前述のDIP型IC34（図2）では、モールド35への電源側端子43の接続点P1の位置をダイ38の方へ近づけたり、離したりさせることによって、接続点P1と電源リード36の外側端P2までのインダクタンスを変更しても、調整できる。

【0043】

図10はシミュレーション結果に基づいて算出したモデルCとAとの差異を示すグラフである。横軸はRFノイズ源87の周波数を示し、縦軸は、前述の観測点における電界値ベクトルの最大値をモデルC及びAについて求め、その差（＝モデルCの電界値ベクトルの最大値－モデルAの電界値ベクトルの最大値）を示している。モデルCでは、モデルBに対してデカップリングコンデンサ94（Cd）が追加されており、図10のボトムの電界値は、図9のものよりさらに低くなっている。すなわち、EMI対策が、モデルAとモデルBとの総和よりもさらに改善されることが理解できる。

【0044】

図11は実験モデルの回路を各素子の諸元と共に示す図である。この実験モデルにおいて、図5の素子と対応する素子の符号は、図5の素子の符号と同一にしている。また、図11において新たに追加された素子について説明すると、+9Vの直流電源100の+側電圧は、+5Vの定電圧調整器101へ入力される。入力側コンデンサ102及び出力側コンデンサ103は、それぞれ定電圧調整器101の入力端子－グラント間、及び定電圧調整器101の出力端子－グラント間に接続されている。発振器104は、定電圧調整器101から5Vの電圧を供

給されて、50.000MHzのクロック信号を生成して、それをRFノイズ源87へ供給する。RFノイズ源87は、発振器104から供給された周波数信号に基づいて所定周波数範囲のRF信号をデカップリングコンデンサ89及びデカップリングコンデンサ94の+側に印加する。

【0045】

図12は図11の回路を適用された実験モデルの斜視図である。図12における各素子の符号は、図11の回路図の対応素子の符号に一致させている。

【0046】

図13及び図14は図12の実験モデルを用いた実験において所定観測点に配置したアンテナの受信する垂直偏波及び水平偏波の電界値の実測データをそれぞれ示している。図13及び図14において、横軸はRFノイズ源87の周波数(Frequency)であり、縦軸は、各周波数において図6のモデルCの電界値からモデルAの電界値を引いた差分を示している。周波数観測点は、電波暗室内で実験モデルから距離10mのアンテナの高さ2mにおける垂直偏波及び水平偏波を測定している。また、観測限界以下のデータ点は表示していない。なお、図9及び図10におけるシミュレーションの数値計算データは自由空間内での電界値(直接波のみ)の値を示すものであるのに対し、図13及び図14の実測データでは電波暗室内での測定結果、すなわち直接波と暗室床の金属面からの反射波の和を示すことになる。このような反射波の存在、さらには、観測点の違いや誘電体の有無等によりシミュレーションモデルのデータと実験モデルのデータを直接比較することはできない。図13及び図14より所定周波数における垂直偏波及び水平偏波共に十分に低下してことが理解できる。

【図面の簡単な説明】

【図1】

グランド面を装備するQFP型ICの概略断面図である。

【図2】

グランド面を装備するDIP型ICの概略断面図である。

【図3】

ボンド層を装備するBGA型ICの概略側面図である。

【図 4】

IC に起因する電磁障害の説明図である。

【図 5】

電磁障害の効果を調べるシミュレーションで選択する IC モデルの装備素子の回路図である。

【図 6】

各シミュレーションモデルと装備素子との関係を示す図である。

【図 7】

シミュレーションモデルの各ディメンジョンを示す図である。

【図 8】

PCB のディメンジョンを PCB における IC モデルの位置と一緒に示す図である。

【図 9】

シミュレーション結果に基づいて算出したモデル B と A との差異を示すグラフである。

【図 1 0】

シミュレーション結果に基づいて算出したモデル C と A との差異を示すグラフである。

【図 1 1】

実験モデルの回路を各素子の諸元と共に示す図である。

【図 1 2】

図 1 1 の回路を適用された実験モデルの斜視図である。

【図 1 3】

図 1 2 の実験モデルを用いた実験において所定観測点に配置したアンテナの受信する垂直偏波の電界値の実測データをそれぞれ示す図である。

【図 1 4】

図 1 2 の実験モデルを用いた実験において所定観測点に配置したアンテナの受信する水平偏波の電界値の実測データをそれぞれ示す図である。

【符号の説明】

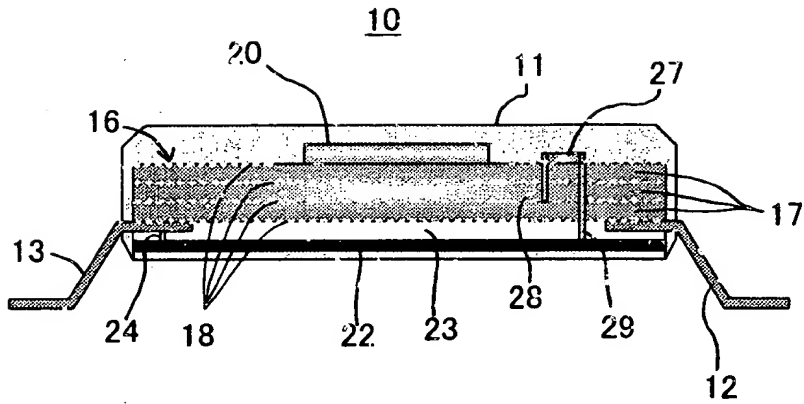
- 1 0 Q F P 型 I C
- 1 1 モールド
- 1 2 電源リード
- 1 3 グランドリード
- 1 6 パッケージ内配線基板
- 1 7 絶縁層
- 1 8 配線層
- 2 0 ダイ
- 2 2 グランド面
- 2 3 空気層
- 2 4 接続線
- 2 7 デカップリングコンデンサ
- 2 8 電源側接続端子線
- 2 9 グランド側接続端子線
- 3 4 D I P 型 I C
- 3 5 モールド
- 3 6 電源リード
- 3 7 グランドリード
- 3 8 ダイ
- 3 9 ボンディングワイヤ
- 4 0 グランド面
- 4 2 グランド面
- 5 0 B G A 型 I C
- 5 1 キャリヤ P C B
- 5 2 モールド
- 5 4 電源リード
- 5 5 グランドリード
- 6 0 ダイ
- 6 5 グランド面

6 7 デカップリングコンデンサ

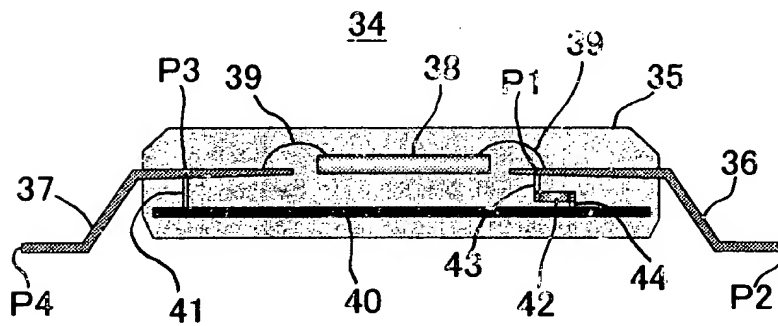
6 8 モールド

【書類名】 図面

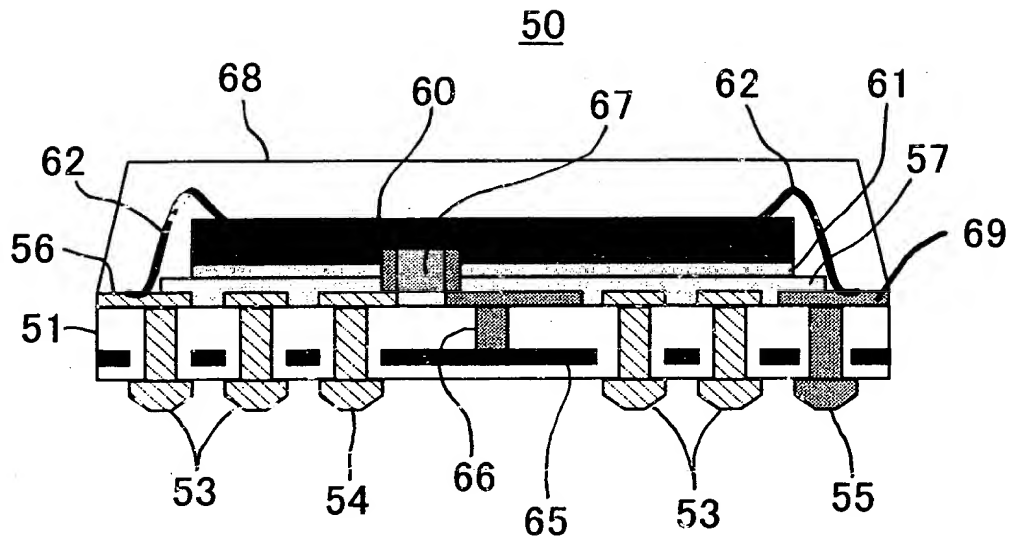
【図 1】



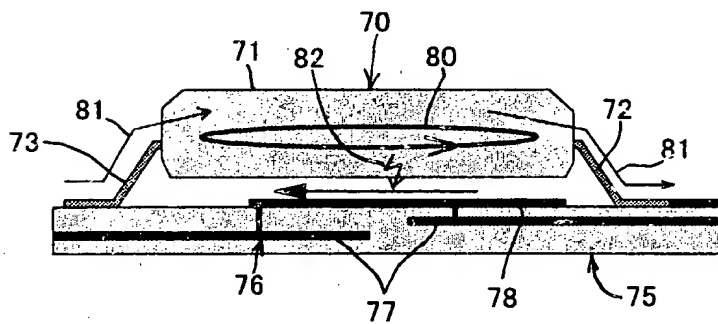
【図 2】



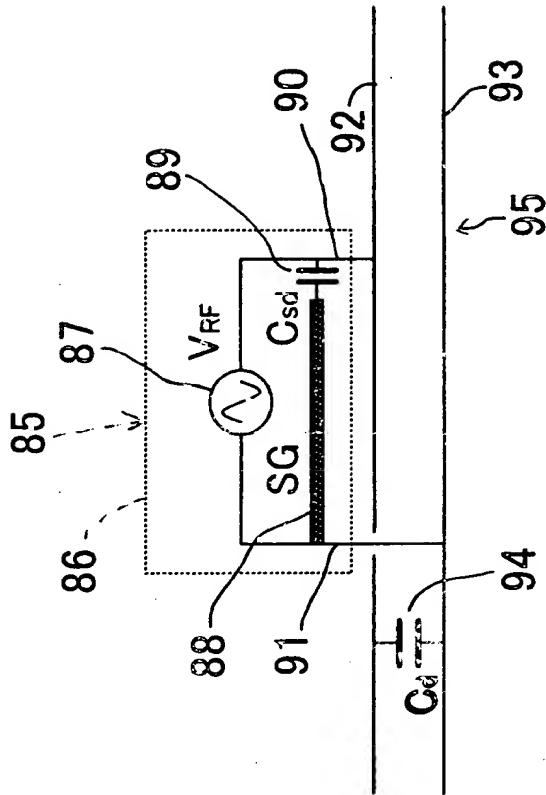
【図 3】



【図 4】



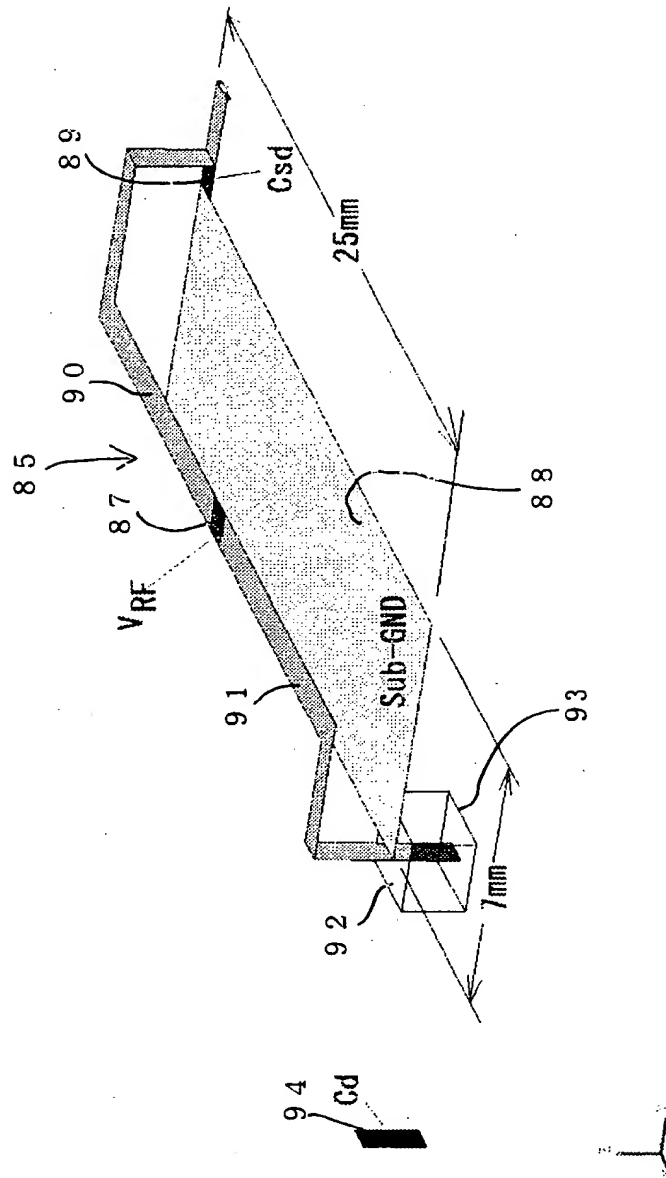
【図 5】



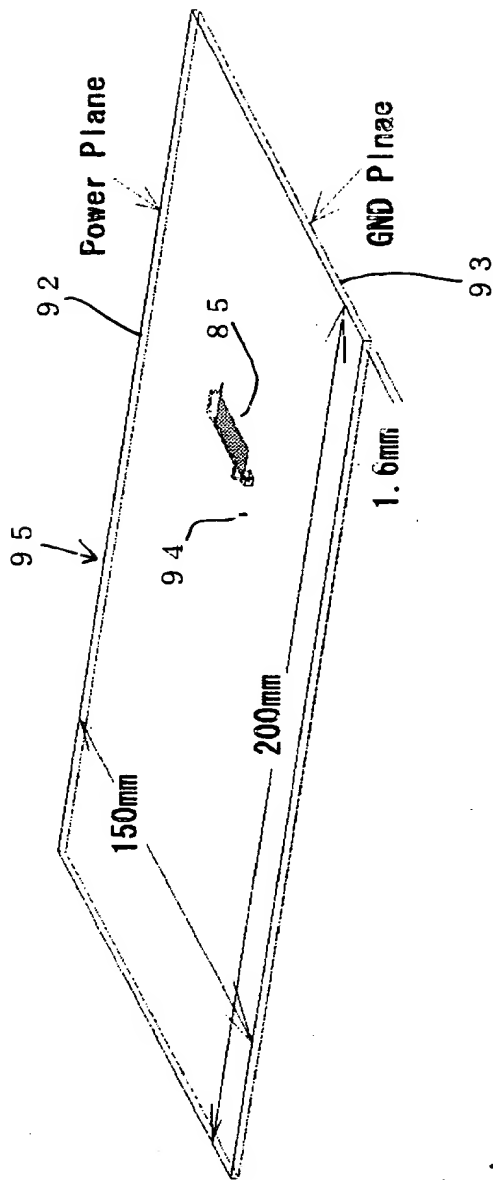
【図 6】

モデル	Cd	SG	Csd	装備素子
A	○	×	×	Cd
B	×	○	○	SG+Csd
C	○	○	○	SG+Csd+Cd

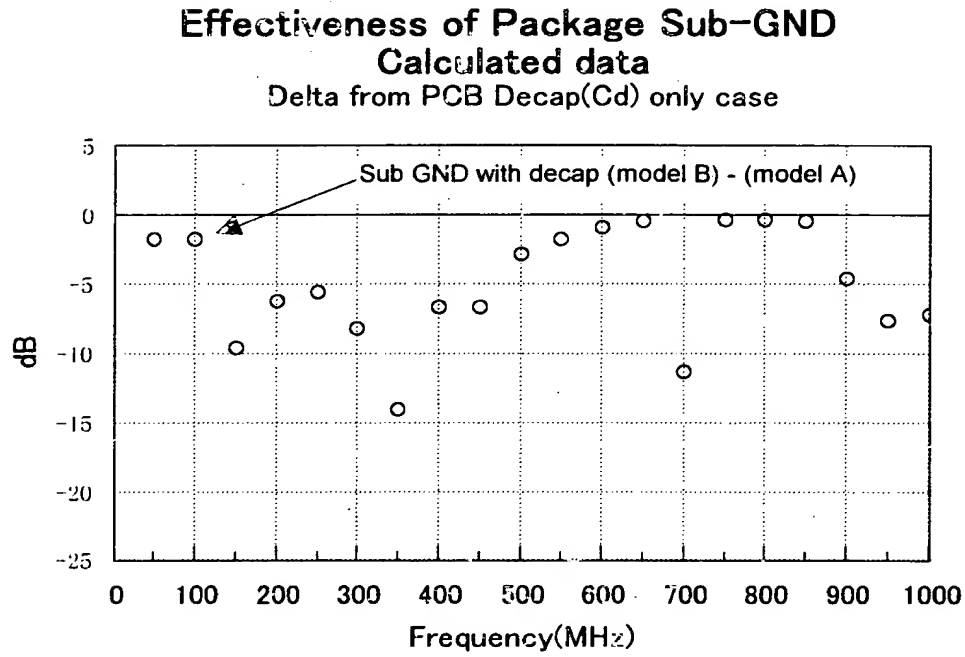
【図 7】



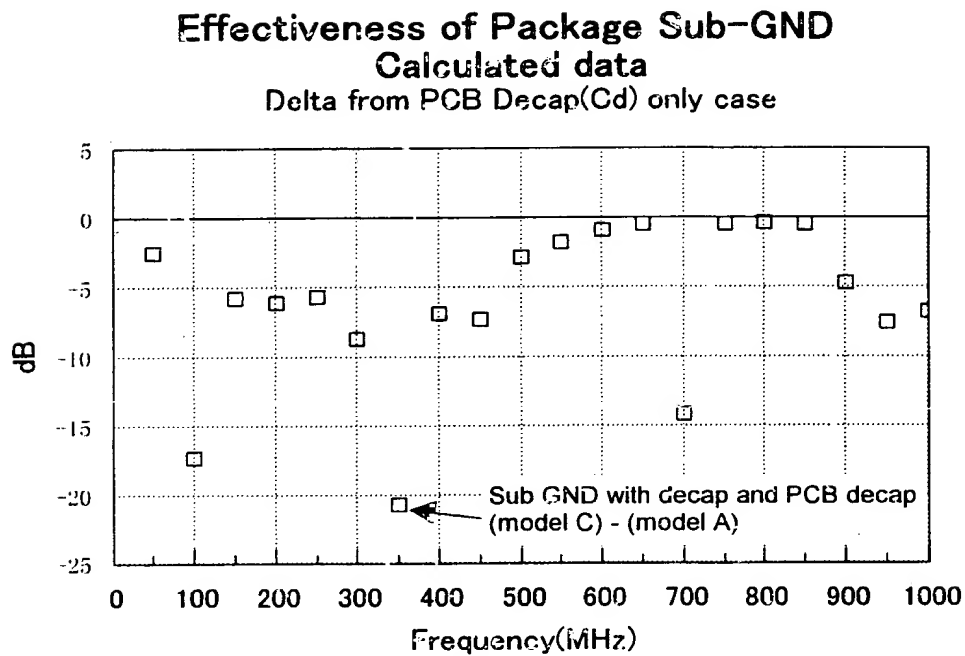
【図 8】



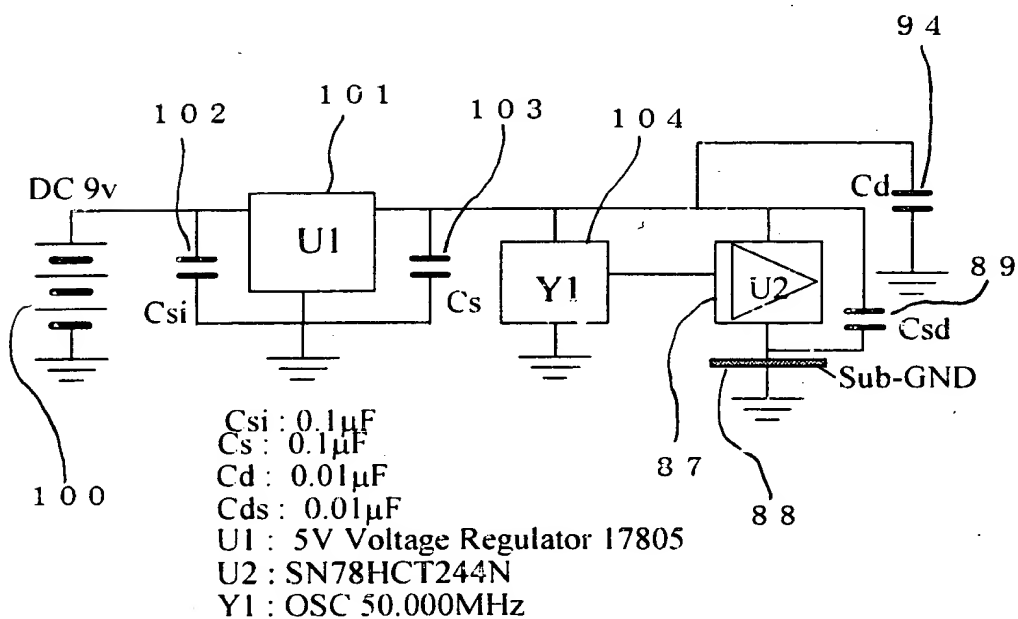
【図 9】



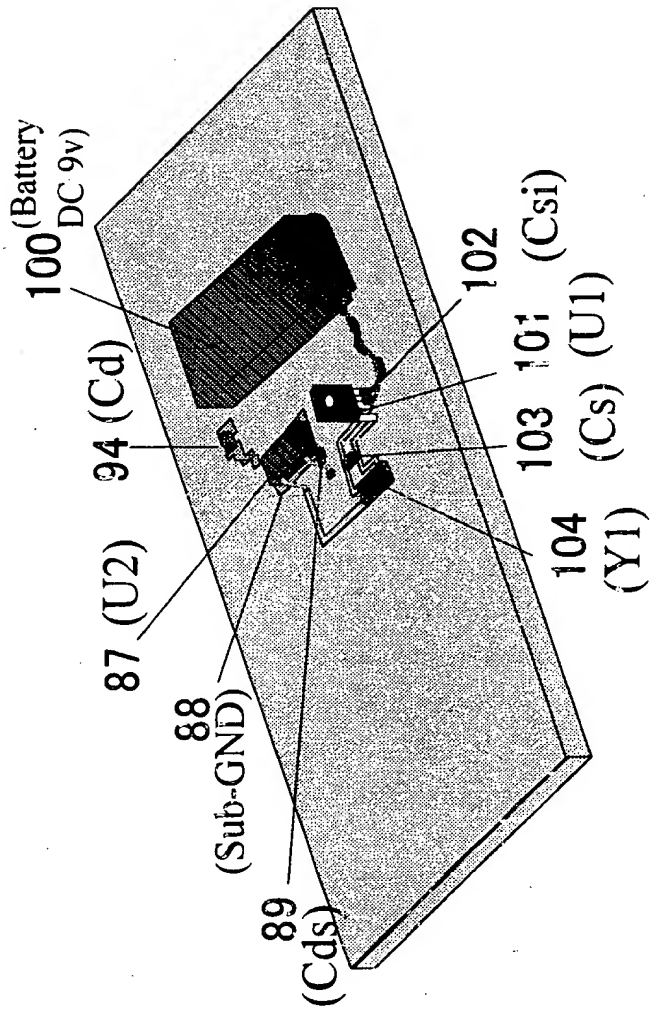
【図 10】



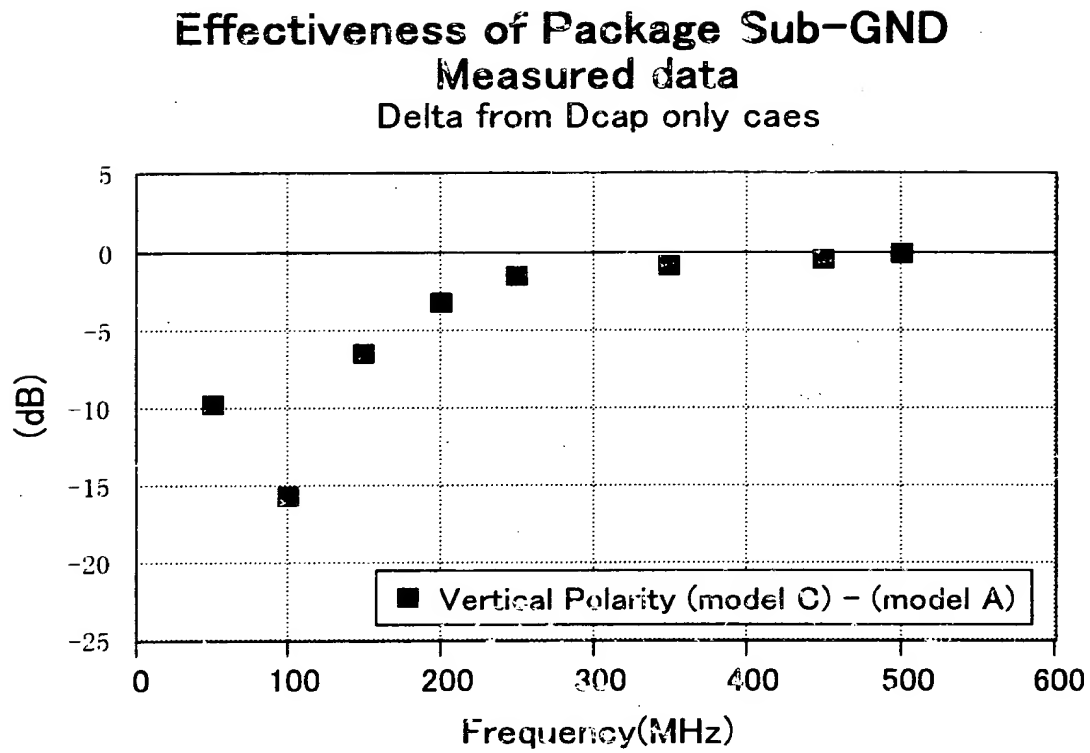
【図 11】



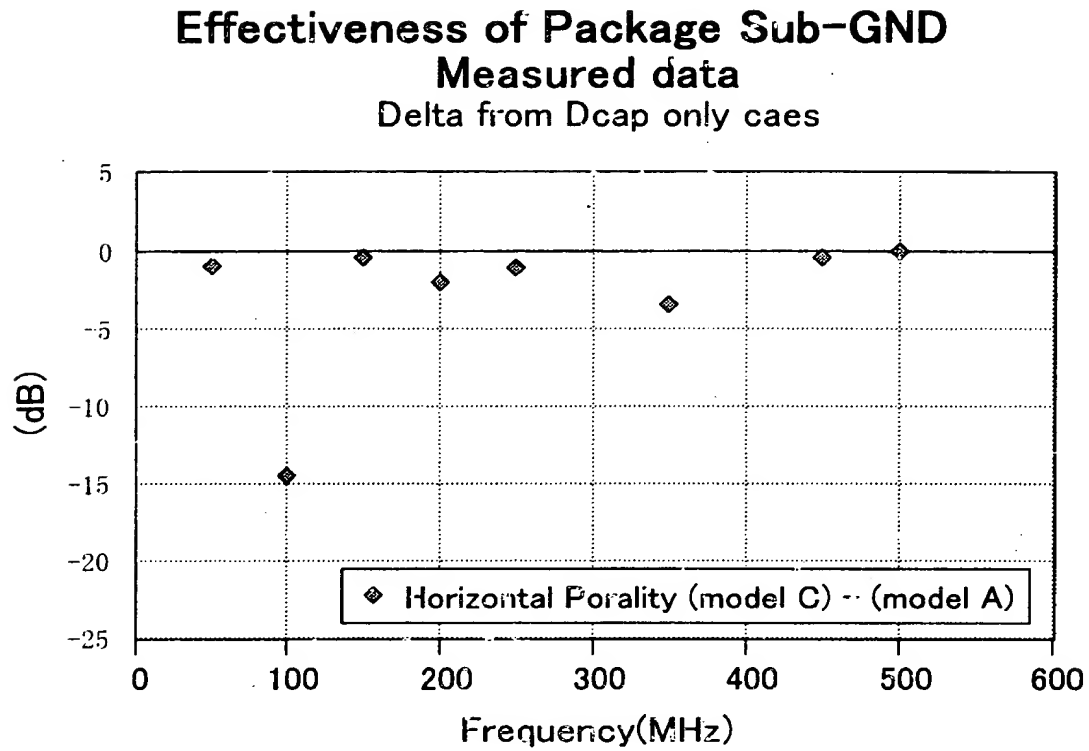
【図 12】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 QFP型IC10において、電源回路に生じるスイッチングノイズ電流に起因するEMIを抑制する。

【解決手段】 電源リード12及びグランドリード13を含むリードは、パッケージ内配線基板16を介してダイ20の対応パッドへ接続される。グランド面22は、パッケージ内配線基板16の下側においてモールド11内に設けられ、モールド11の底面に沿って広がり、グランドリード13へ接続される。デカップリングコンデンサ27は、パッケージ内配線基板16の電源配線とグランド面22とへ接続される。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 3 9 9 6 3
受付番号	5 0 0 0 1 0 1 0 9 5 0
書類名	特許願
担当官	小菅 博 2 1 4 3
作成日	平成 1 2 年 9 月 2 2 日

<認定情報・付加情報>

【提出日】	平成12年 8月 8日
【特許出願人】	
【識別番号】	390009531
【住所又は居所】	アメリカ合衆国 1 0 5 0 4、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション
【代理人】	
【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博
【代理人】	
【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏
【代理人】	
【識別番号】	100106699
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番 1 4 日本アイ・ピー・エム株式会社大和事業所内
【氏名又は名称】	渡部 弘道
【復代理人】	申請人
【識別番号】	100060726
【住所又は居所】	東京都中央区日本橋 2 丁目 1 番 1 号 櫻正宗ビル 9 階
【氏名又は名称】	石山 博
【選任した復代理人】	

次頁有

認定・付加情報（続き）

【識別番号】	100085408
【住所又は居所】	東京都中央区日本橋2丁目1番1号 櫻正宗ビル 9階
【氏名又は名称】	山崎 隆

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日
[変更理由] 名称変更
住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション